

(4) Japanese Patent Application Laid-Open No. 1-296338 (1989)

“Comparison-Matching Circuit”

The following is an extract relevant to the present application.

5

A comparison-matching circuit comprising a plurality of exclusive or circuit for receiving each corresponding bits of two groups of input data in combination, a first MOSFET for selectively precharging a predetermined internal node according to a predetermined timing signal, a plurality of second MOSFET for selectively discharging said 10 internal node according to a corresponding output signal of said exclusive or circuit, and a logical gate circuit whose input terminal is coupled to said internal node.

## ⑪公開特許公報(A)

平1-296338

⑤Int.Cl.<sup>4</sup>  
G 06 F 7/04

識別記号

府内整理番号  
7313-5B

⑪公開 平成1年(1989)11月29日

審査請求 未請求 請求項の数 3 (全9頁)

## ⑫発明の名称 比較照合回路

⑬特 願 昭63-128009  
⑭出 願 昭63(1988)5月25日

⑮発明者 渋川 勝 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑯出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰代理人 弁理士 徳若 光政

## 明細書

## 1. 発明の名称

比較照合回路

## 2. 特許請求の範囲

1. 2組の入力データの対応するビットをそれぞれ組み合わせて受ける複数の排他的論理回路と、所定のタイミング信号に従って所定の内部ノードを選択的にプリチャージする第1のMOSFETと、対応する上記排他的論理回路の出力信号に従って上記内部ノードを選択的にディスチャージする複数の第2のMOSFETと、その入力端子が上記内部ノードに結合される論理ゲート回路とを具備することを特徴とする比較照合回路。

2. 上記比較照合回路は、さらに、上記タイミング信号に従って上記第1のMOSFETと相補的にオン状態とされ対応する上記排他的論理回路の出力信号を対応する上記第2のMOSFETのゲートに伝達する複数の第3のMOSFETと、上記タイミング信号に従って上記第1

のMOSFETと同時にオン状態とされ対応する上記第2のMOSFETのゲートを選択的にディスチャージする複数の第4のMOSFETを含むものであることを特徴とする特許請求の範囲第1項記載の比較照合回路。

3. 上記論理ゲート回路は、CMOSインバータ回路であって、上記比較照合回路は、さらに、上記第1のMOSFETがオフ状態とされかつ上記CMOSインバータ回路の出力信号がハイレベルとされるとき上記内部ノードを選択的にディスチャージする第5のMOSFETを含むものであることを特徴とする特許請求の範囲第1項又は第2項記載の比較照合回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は、比較照合回路に関するもので、例えば、1チップ型マイクロコンピュータの算術論理演算ユニットに診断回路の一部として含まれる比較照合回路等に利用して特に有効な技術に関するものである。

## (従来の技術)

一対の入力データを比較照合するために用いられる排他的論理回路がある。また、このような複数の排他的論理回路を含み、複数ビットからなる2組の入力データを比較照合する比較照合回路（比較一致回路）がある。

比較照合回路については、例えば、1985年1月30日、㈱オーム社発行の「新版情報処理ハンドブック」第756頁に記載されている。

## (発明が解決しようとする課題)

本願発明者等は、この発明に先立って、例えば8ビットのように比較的大きなデータ幅を持つ1チップ型のマイクロコンピュータを開発した。また、このマイクロコンピュータにおいて、算術論理演算ユニットの一部を二重化し、これらの出力信号を上記のような比較照合回路によって照合することで、多ビット演算データの信頼性を高めることを考えた。

ところが、上記マイクロコンピュータでは、そのデータ幅が拡張されるにしたがって、次のように

な問題点が生じることが明らかとなった。すなわち、マイクロコンピュータのデータ幅が拡大されると、算術論理演算ユニットに含まれる上記診断用 比較照合回路の入力データ数が、上記データ幅に比例して増大する。したがって、比較照合回路は、例えば第4図に示されるように、2組の入力データA0～An及びB0～Bnの対応するビットをそれぞれ組み合わせて受けるn+1個の排他的論理回路E04～E09に加えて、複数段のオアゲート回路O01～O03を必要とする。このため、入力データA0～An及びB0～Bnが入力されてから比較照合回路の出力信号DMが確定されるまでに比較的長い時間を要し、その結果、マイクロコンピュータのサイクルタイムの高速化が制限されるものである。

この発明の目的は、動作の高速化を図った比較照合回路を提供することにある。この発明の他の目的は、診断用の比較照合回路を含む多ビット幅のマイクロコンピュータのサイクルタイムを高速化し、その処理能力を高めることにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

## (課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、マイクロコンピュータの算術論理演算ユニットの診断回路の一部として設けられる比較照合回路を、2組の入力データの対応するビットをそれぞれ組み合わせて受ける複数の排他的論理回路と、所定の内部ノードと回路の電源電圧との間に設けられ所定のタイミング信号に従って選択的にオン状態とされるプリチャージMOSFETと、上記内部ノードと回路の接地電位との間に並列形態に設けられ対応する上記排他的論理回路の出力信号に従って選択的にオン状態とされる複数のディスチャージMOSFETと、その入力端子が上記内部ノードに結合される論理ゲート回路とを基本に構成するものである。

## (作用)

上記した手段によれば、比較照合回路を、実質的に1段構成のダイナミック型論理回路として構成できる。このため、比較照合回路の動作を高速化し、その伝播遅延時間を短縮して、比較照合回路を診断回路の一部とする算術論理演算ユニット等の演算処理サイクルを高速化できる。これにより、算術論理演算ユニット含むマイクロコンピュータ等のサイクルタイムを高速化し、その処理能力を高めることができる。

## (実施例)

第1図には、この発明が適用された比較照合回路の一実施例の回路図が示されている。この実施例の比較照合回路は、特に制限されないが、1チップ型のマイクロコンピュータの算術論理演算ユニットに含まれる。この実施例において、算術論理演算ユニットは、その一部の回路が二重化され、比較照合回路は、これらの二重化された回路の出力信号を比較照合することで、算術論理演算ユニットの動作の正常性を確認する診断回路の一部として用いられる。なお、第1図の各回路素子は、

マイクロコンピュータの図示されない他の回路端子とともに、特に制限されないが、単結晶シリコンのような1個の半導体基板上に形成される。また、以下の図において、そのチャンネル(バックゲート)部に矢印が付加されるMOSFETはPチャンネル型であり、矢印の付加されないNチャンネルMOSFETと区別される。

第1図において、比較照合回路には、マイクロコンピュータの算術論理演算ユニットの図示されない二重化された回路のそれだから、 $n+1$ ビットからなる2組の入力データ $A_0 \sim A_n$ 及び $B_0 \sim B_n$ が供給される。比較照合回路は、これらの入力データ $A_0 \sim A_n$ 及び $B_0 \sim B_n$ の対応するビットをそれぞれ組み合わせて受ける $n+1$ 個の排他的論理回路 $B_0 \sim B_3$ と、回路の電源電圧と内部ノード $n+1$ との間に設けられタイミング信号 $\phi$ に従って選択的にオン状態とされるPチャンネル型のプリチャージMOSFET $Q_1$ (第1のMOSFET)とを含む。

ここで、回路の電源電圧は、特に制限されない

が、+5Vのような正の電源電圧とされる。また、タイミング信号 $\phi$ は、特に制限されないが、デューティ50%の周期的なパルス信号とされる。入力データ $A_0 \sim A_n$ 及び $B_0 \sim B_n$ は、特に制限されないが、算術論理演算ユニットの演算サイクルにあわせて周期的に変化される。

排他的論理回路 $B_0 \sim B_3$ は、第1図の排他的論理回路 $B_0 \sim B_3$ に代えて示されるように、一対のPチャンネルMOSFET $Q_2$ 及びNチャンネルMOSFET $Q_21$ が並列接続されてなる第1の伝送ゲートと、同様に一対のPチャンネルMOSFET $Q_3$ 及びNチャンネルMOSFET $Q_22$ が並列接続されてなる第2の伝送ゲートと、2個のCMOSインバータ回路 $N_3$ 及び $N_4$ とを含む。以下、まず排他的論理回路 $B_0 \sim B_3$ を例に、排他的論理回路 $B_0 \sim B_3$ の構成と動作の概要を説明する。

インバータ回路 $N_3$ の入力端子には、対応する一方の入力信号 $A_0$ が供給され、その出力信号は、上記第1の伝送ゲートを介して、出力ノード $n+3$

に伝達される。上記入力信号 $A_0$ は、さらに上記第2の伝送ゲートを介して、出力ノード $n+3$ にそのまま伝達される。

一方、インバータ回路 $N_4$ の入力端子には、対応する他方の入力信号 $B_0$ が供給される。この入力信号 $B_0$ は、さらに上記MOSFET $Q_21$ 及び $Q_3$ のゲートにそのまま供給される。インバータ回路 $N_4$ の出力信号は、上記MOSFET $Q_2$ 及び $Q_22$ のゲートに供給される。これにより、上記第1の伝送ゲートは、対応する上記入力信号 $B_0$ が論理“1”すなわちハイレベルとされるとき選択的に伝達状態とされ、上記第2の伝送ゲートは、対応する上記入力信号 $B_0$ 等が論理“0”すなわちロウレベルとされるとき選択的に伝達状態とされる。

これらのことから、排他的論理回路 $B_0 \sim B_3$ の出力ノード $n+3$ は、対応する入力信号 $A_0$ が論理“0”とされかつ上記第1の伝送ゲートが伝達状態とされるとき、あるいは対応する入力信号 $A_0$ が論理“1”とされかつ上記第2の伝送ゲートが

伝達状態とされるとき、選択的にハイレベルとされる。対応する入力信号 $A_0$ が論理“0”とされかつ上記第2のが伝達状態とされるとき、あるいは対応する入力信号 $A_0$ が論理“1”とされかつ上記第1の伝送ゲートが伝達状態とされるとき、排他的論理回路 $B_0 \sim B_3$ の出力ノード $n+3$ は、選択的にロウレベルとされる。つまり、排他的論理回路 $B_0 \sim B_3$ の出力ノード $n+3$ は、

$$n+3 = A_0 \cdot \overline{B_0} + \overline{A_0} \cdot B_0$$

なる論理条件に従ってそのレベルが決定され、対応する一対の入力信号 $A_0$ 及び $B_0$ が一致しないとき、選択的にハイレベルとされる。言うまでもなく、対応する一対の入力信号 $A_0$ 及び $B_0$ が一致する場合、排他的論理回路 $B_0 \sim B_3$ の出力ノード $n+3$ はロウレベルとされる。

上記内部ノード $n+1$ と回路の接地電位との間に、Nチャンネル型のディスチャージMOSFET $Q_{11} \sim Q_{13}$ (第2のMOSFET)が並列形態に設けられる。これらのMOSFET $Q_{11} \sim Q_{13}$ のゲートは、対応するMOSFET $Q_1$

7～Q19 (第3のMOSFET) を介して、対応する上記排他的論理回路E01～E03の出力ノードn3にそれぞれ結合される。また、MOSFETQ11～Q13のゲートと回路 接地電位との間には、MOSFETQ14～Q16 (第4のMOSFET) がそれぞれ設けられる。上記 MOSFETQ17～Q19のゲートには、タイミング信号 $\phi$ が夫邊に供給され、上記MOSFETQ14～Q16のゲートには、タイミング信号 $\phi$ のインバータ回路N1による反転信号すなわち反転タイミング信号 $\bar{\phi}$ が夫邊に供給される。

ところで、この実施例の比較照合回路には、特に制限されないが、その入力端子が上記内部ノードn1に結合されるCMOSインバータ回路N2 (論理ゲート回路) が設けられる。インバータ回路N2の出力信号は、この比較照合回路の出力信号DMとされ、マイクロコンピュータの顯示されない診断回路に供給される。さらに、上記内部ノードn1と回路の接地電位との間には、特に制限されないが、そのゲートにアンドゲート回路AG

1の出力信号を受けるNチャンネルMOSFET Q20 (第5 MOSFET) が設けられる。アンドゲート回路AG1の一方の入力端子には、上記インバータ回路N2の出力信号DMが供給され、その他方の入力端子には、上記タイミング信号 $\phi$ が供給される。

上記MOSFETQ20は、アンドゲート回路AG1の出力信号がハイレベルとされるとき、すなわちタイミング信号 $\phi$ がハイレベルとされかつインバータ回路N2の出力信号がハイレベルとされるとき、言い換えると入力データA0～A $n$ 及びB0～B $n$ が不一致となり上記内部ノードn1がディスチャージされるとき、選択的にオン状態となる。その結果、上記MOSFETQ20を介して、内部ノードn1のディスチャージ動作がさらに推進される。つまり、上記MOSFETQ20及びアンドゲート回路AG1は、タイミング信号 $\phi$ がハイレベルとされるとき、選択的に増幅回路として機能する。

タイミング信号 $\phi$ がロウレベルとされ反転タイ

ミング信号 $\bar{\phi}$ がハイレベルとされるとき、MOSFETQ1及びQ14～Q16が一齊にオン状態となり、MOSFETQ17～Q19はオフ状態となる。このため、排他的論理回路E01～E03の出力信号は、対応するMOSFETQ11～Q13のゲートに伝達されない。また、レベル固定用のMOSFETQ14～Q16がオン状態となり対応するノードn2が回路の接地電位のようなロウレベルとされることで、MOSFETQ11～Q13はすべてオフ状態となる。その結果、内部ノードn1は、MOSFETQ1を介して、回路の電源電圧のようなハイレベルにアリチャージされる。これにより、インバータ回路N2の出力信号すなわちこの比較照合回路の出力信号DMは、ロウレベルとされる。

一方、タイミング信号 $\phi$ がハイレベルとされ反転タイミング信号 $\bar{\phi}$ がロウレベルとされると、MOSFETQ1及びQ14～Q16はオフ状態となり、代わってMOSFETQ17～Q19が一齊にオン状態となる。このため、MOSFETQ

11～Q13のゲートには、対応する排他的論理回路E01～E03の出力信号がそれぞれ伝達される。したがって、MOSFETQ11～Q13は、対応する排他的論理回路E01～E03の出力信号がハイレベルとされる場合に限って、選択的にオン状態となる。その結果、内部ノードn1は、MOSFETQ11～Q13のいずれかがオン状態となるとき、すなわち入力データA0～A $n$ 及びB0～B $n$ がいずれかのビットにおいて一致しないとき、選択的にディスチャージされ、ロウレベルとされる。これにより、インバータ回路N2の出力信号すなわちこの比較照合回路の出力信号DMは、ハイレベルとされる。

ここで、この実施例の比較照合回路は、入力データA0～A $n$ 及びB0～B $n$ のビット幅が大きくされることから、比較的大きなレイアウト所要面積を必要とする。このため、上記排他的論理回路E01～E03は比較的分散して配置され、MOSFETQ11～Q13を結合するための配線が比較的長い距離を引き回しされる。したがっ

て、MOSFET Q11～Q13のいずれかがオン状態とされるとき、内部ノードn1のディスチャージレベルは、MOSFET Q11～Q13のレイアウト位置に応じて異なるレベルとなる。これに対応するため、この実施例の比較照合回路では、前述のように、MOSFET Q20及びアンダゲート回路AG1からなる帰還増幅回路が設けられる。タイミング信号 $\phi$ がハイレベルとされ、内部ノードn1がディスチャージされることでインバータ回路N2の出力信号がハイレベルとされると、MOSFET Q20がオン状態となる。その結果、内部ノードn1は、MOSFET Q20を介して急速にディスチャージされ、安定したロウレベルとされる。これにより、この実施例の比較照合回路は、半導体基板の比較的大きなエリアに分散して配置されるにもかかわらず、その動作が高速化されるものである。

入力データA0～An及びB0～Bnが全ビット一致すると、排他的論理和回路E01～E03の出力信号はすべてロウレベルとなり、MOSF

ETQ11～Q13はすべてオフ状態のままでされる。したがって、内部ノードn1はハイレベルのままとされ、インバータ回路N2の出力信号すなわちこの比較照合回路の出力信号DMは、ロウレベルのままでされる。

第2図には、第1図の比較照合回路の一実施例のタイミング図が示されている。同図には、2組の入力データA0～An及びB0～Bnが全ビット一致する場合といずれかのビットにおいて一致しない場合とを対比させるため、タイミング信号 $\phi$ の2サイクル分に対応する比較照合回路の動作が例示的に示される。

第2図において、タイミング信号 $\phi$ は、前述のように、デューティ50%の周期的なパルス信号とされる。タイミング信号 $\phi$ がロウレベルとされ反転タイミング信号 $\bar{\phi}$ がハイレベルとされるとき、レベル固定用のディスチャージMOSFET Q14～Q16が一齊にオン状態とされ、MOSFET Q17～Q19がすべてオフ状態とされる。このため、MOSFET Q11～Q13のゲートす

なわちノードn2は、すべてロウレベルとされる。また、このとき、プリチャージMOSFET Q1がオン状態とされることで、内部ノードn1はハイレベルにプリチャージされ、インバータ回路N2の出力信号すなわち比較照合回路の出力信号DMはロウレベルとされる。

タイミング信号 $\phi$ がハイレベルに変化されるのに先立って、入力データA0～An及びB0～Bnがそれぞれ新しい組み合わせで供給される。この実施例の第1のサイクルにおいて、入力データB0～Bnの各ビットは、入力データA0～Anの対応するビットとすべて一致するものとされる。したがって、排他的論理和回路E01～E03の出力信号すなわちノードn3は、新しい入力データA0～An及びB0～Bnが供給された時点で、すべてロウレベルとされる。

タイミング信号 $\phi$ がハイレベルとされ反転タイミング信号 $\bar{\phi}$ がロウレベルとされると、プリチャージMOSFET Q1及びレベル固定用のディスチャージMOSFET Q14～Q16がすべてオ

フ状態となる。また、MOSFET Q17～Q18が一齊にオン状態となり、排他的論理和回路E01～E03の出力信号すなわちノードn3のレベルが、対応するMOSFET Q11～Q13のゲートすなわちノードn2にそれぞれ伝達される。その結果、ノードn2は依然ロウレベルのままでされ、MOSFET Q11～Q13はすべてオフ状態のままでなる。したがって、内部ノードn1はハイレベルのままでされ、インバータ回路N1の出力信号すなわち比較照合回路の出力信号DMも、ロウレベルのままでされる。

比較照合回路の出力信号DMのロウレベルは、マイクロコンピュータの図示されない診断回路によってモニタされ、算術論理演算ユニットの動作が正常に行われていることが確認される。

タイミング信号 $\phi$ がロウレベルに戻され反転タイミング信号 $\bar{\phi}$ がハイレベルに戻されると、MOSFET Q1がオン状態となり、内部ノードn1のプリチャージが開始される。また、MOSFET Q17～Q19がオフ状態となりMOSFET

Q14～Q16がオン状態となることで、ノードn2は、それぞれディスチャージされ、さらにロウレベルを保持する。

タイミング信号 $\phi$ が再度ハイレベルに変化されるのに先立って、入力データA0～An及びB0～Bnがそれぞれ新しい組み合わせで供給される。この実施例の第2のサイクルにおいて、入力データB0～Bnは、そのいずれかのビットが入力データA0～Anの対応するビットに一致しないものとされる。したがって、排他的論理回路B01～B03の出力信号すなわちノードn3のいずれかが、選択的にハイレベルとされる。

タイミング信号 $\phi$ が再度ハイレベルとされ反転タイミング信号 $\phi$ が再度ロウレベルとされると、プリチャージMOSFETQ1とレベル固定用のディスチャージMOSFETQ14～Q16がすべてオフ状態となる。また、MOSFETQ17～Q18が一齐にオン状態となり、排他的論理回路B01～B03の出力信号すなわちノードn3のレベルが、対応するディスチャージMOSF

BTQ11～Q13のゲートすなわちノードn2にそれぞれ伝達される。その結果、入力データA0～An及びB0～Bnの一一致しないビットに対応するノードn2が選択的にハイレベルとされ、対応するディスチャージMOSFETQ11～Q13が選択的にオン状態となる。したがって、内部ノードn1は、オン状態とされるMOSFETQ11～Q13を介してディスチャージされ、ロウレベルとされる。これにより、インバータ回路N2の出力信号すなわち比較照合回路の出力信号DMは、ハイレベルとされる。

比較照合回路の出力信号DMのハイレベルは、マイクロコンピュータの図示されない診断回路によってモニタされ、算術論理演算ユニットに異常が生じたことが判定される。

以上のように、この実施例のマイクロコンピュータは、その一部の回路が二重化される算術論理演算ユニットを含む。この算術論理演算ユニットは、比較照合回路を含む。比較照合回路は、上記二重化された回路の出力信号を比較照合すること

で、算術論理演算ユニットの動作の正常性を確認する診断回路の一部として機能する。算術論理演算ユニットの演算処理は、この比較照合回路の結果が正常であることを確認した後、次の演算サイクルに進められる。この実施例において、比較照合回路は、2組の入力データA0～An及びB0～Bnの対応するビットを組み合わせて受けけるn+1個の排他的論理回路B01～B03と、回路の電源電圧と所定の内部ノードn1との間に設けられタイミング信号 $\phi$ に従って選択的にオン状態とされるPチャンネル型のプリチャージMOSFETQ1と、上記内部ノードn1と回路の接地電位との間に並列形態に設けられ対応する上記排他的論理回路B01～B03の出力信号に従って選択的にオン状態とされるNチャンネルMOSFETQ11～Q13と、その入力端子が上記内部ノードn1に結合されるCMOSインバータ回路N1とを含む。つまり、この実施例の比較照合回路は、1段構成のダイナミック型論理回路として構成される。その結果、入力データA0～An

及びB0～Bnのビット数が比較的多くされるにもかかわらず、比較照合回路の動作が高速化され、その伝播遅延時間が短縮されるため、相応して算術論理演算ユニットの演算処理サイクルが高速化される。これにより、算術論理演算ユニットを含むマイクロコンピュータのサイクルタイムが高速化され、その処理能力が向上される。

以上の本実施例に示されるように、この発明をマイクロコンピュータの算術論理演算ユニット等に診断回路の一部として含まれる比較照合回路に適用した場合、次のような作用効果が得られる。すなわち、

①比較照合回路を、2組の入力データの対応するビットをそれぞれ組み合わせて受けける複数の排他的論理回路と、所定の内部ノードと回路の電源電圧との間に設けられ所定のタイミング信号に従って選択的にオン状態とされるプリチャージMOSFETと、上記内部ノードと回路の接地電位との間に並列形態に設けられ対応する上記排他的論理回路の出力信号に従って選択的にオン状態と

される複数のディスチャージMOSFETと、その入力端子が上記内部ノードに結合される論理ゲート回路とを基本に構成することで、比較照合回路を、実質的に1段構造のダイナミック型論理回路として構成できるという効果が得られる。

(3)上記(1)項により、比較照合回路の動作を高速化し、その伝播遅延時間を短縮できるため、この比較照合回路を診断回路の一部とする算術論理演算ユニットの演算処理サイクルを、実質的に高速化できるという効果が得られる。

(4)上記(1)項により、比較照合回路の回路素子数を削減し、またそのレイアウト所要面積を削減して、比較照合回路及びこれを含む算術論理演算ユニットならびに算術論理演算ユニットを含むマイクロコンピュータ等の低コスト化を図ることができるという効果が得られる。

(5)上記(1)項及び(4)項により、算術論理演算ユニットを含むマイクロコンピュータ等のサイクルタイムを高速化し、その処理能力を高めることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図において、MOSFET Q17～Q19は、それぞれ一対のPチャンネルMOSFET及びNチャンネルMOSFETが並列接続されてなる伝送ゲートに置き換えることができる。また、MOSFET Q17及びQ19ならびにMOSFET Q14～Q16は、比較照合回路を例えば第3図のような構成とすることで、削除することもできる。第3図の場合、内部ノードn1とディスチャージMOSFET Q11～Q13との間に、プリチャージMOSFET Q1と相補的にオン状態とされるNチャンネルMOSFET Q23が設けられることで、言語電流が防止される。第1図及び第3図において、排他的論理回路E01～E03は、通常の論理ゲート回路を組み合わせることによって構成してもよい。また、MOSFET Q20及びアンドゲート回路AG1

からなる帰還増幅回路は、不可欠のものではない。インバータ回路N2は、所定の制御信号によってゲート制御される2入力以上の論理ゲート回路に置き換えるてもよい。さらに、第1図及び第3図に示される比較照合回路の具体的な回路構成や第2図に示される信号の組み合わせ等、種々の実施形態を探りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータの算術論理演算ユニットに診断回路の一部として設けられる比較照合回路に適用した場合について説明したが、それに限定されるものではなく、例えば、各種のデジタル処理装置に設けられる通常のデータ比較照合回路やアドレス比較照合回路等にも適用できる。本発明は、少なくとも、多ビット幅のデジタル信号を受ける比較照合回路及びこのような比較照合回路を含むデジタル装置に広く適用できる。

#### (発明の効果)

本題において開示される発明のうち代表的なも

のによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、比較照合回路を、2組の入力データの対応するビットをそれぞれ組み合わせて受ける複数の排他的論理回路と、所定の内部ノードと回路の電源電圧との間に設けられ所定のタイミング信号に従って選択的にオン状態とされるプリチャージMOSFETと、上記内部ノードと回路の接地電位との間に並列形態に設けられ対応する上記排他的論理回路の出力信号に従って選択的にオン状態とされる複数のディスチャージMOSFETと、その入力端子が上記内部ノードに結合される論理ゲート回路とを基本に構成することで、実質的に1段構造のダイナミック型論理回路として構成できる。このため、比較照合回路の動作を高速化し、その伝播遅延時間を短縮して、比較照合回路を診断回路の一部とする算術論理演算ユニットの演算処理サイクルを実質的に高速化することができる。これにより、算術論理演算ユニットを含むマイクロコンピュータ等のサイクルタイムを高速化し、その処理能力を高

めることができるものである。

#### 4. 図面の簡単な説明

第1図は、この発明が適用された比較組合回路の一実施例を示す回路図。

第2図は、第1図の比較組合回路の一実施例を示すタイミング図。

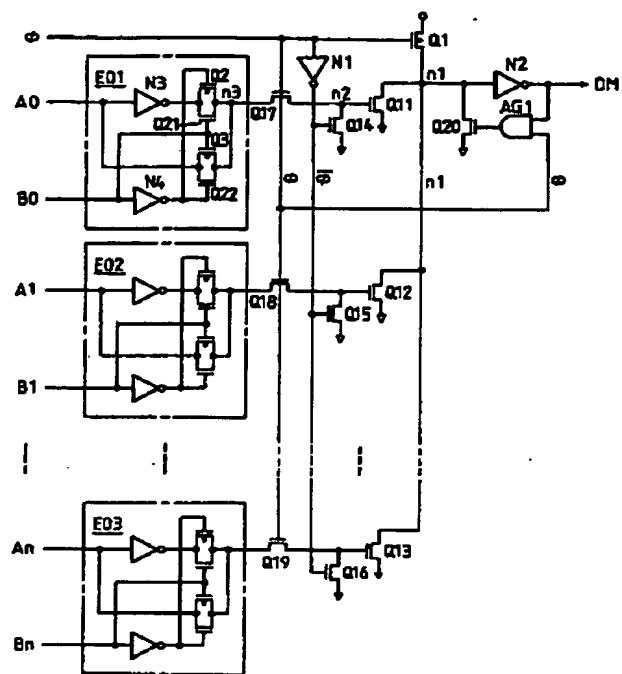
第3図は、この発明が適用された比較組合回路のもう一つの実施例を示す回路図。

第4図は、従来の比較組合回路の一例を示す回路図である。

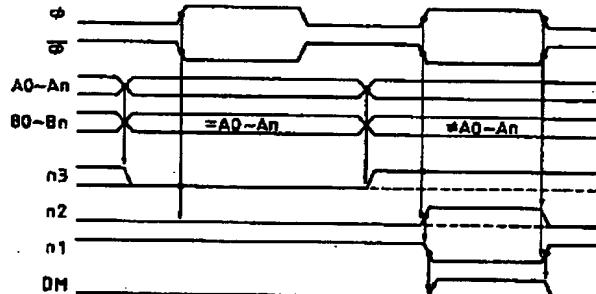
E01～E09…排他的論理和回路、N1～N4…CMOS4インバータ回路、AG1…アンドゲート回路、OG1～OG3…オアゲート回路、Q1～Q3…PチャンネルMOSFET、Q11～Q23…NチャンネルMOSFET。

代理人弁理士 德若 光政

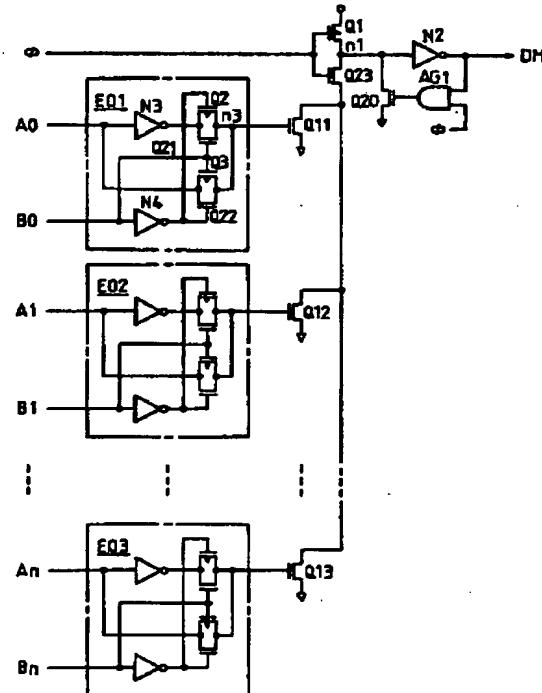
第1図



第2図



第3図



第 4 圖

